

print out

Patent/Publication No. 423132

Title Bumpless flip chip package and method for fabricating by using the connection layer that has single-layer or multi-layer structure with plural conduction bump-pad stages to obtain the bumpless flip chip package

Publication Date 2001/02/21

Application Date 1999/07/27

Application No. 088112937

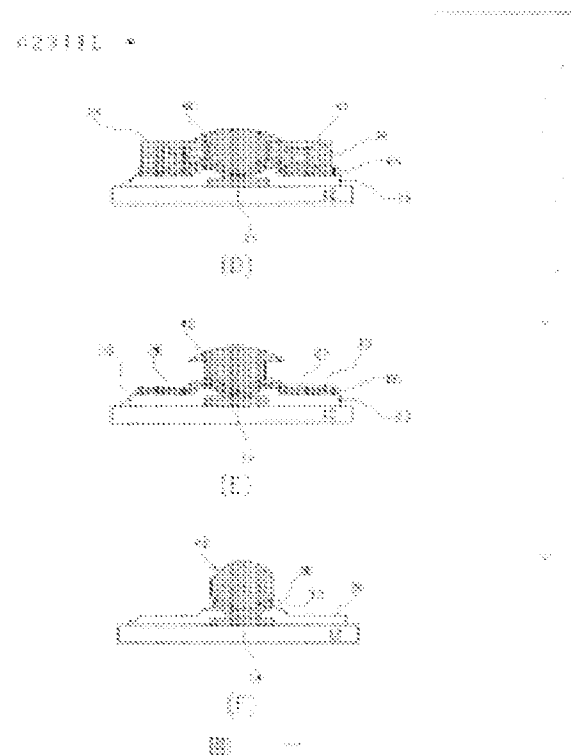
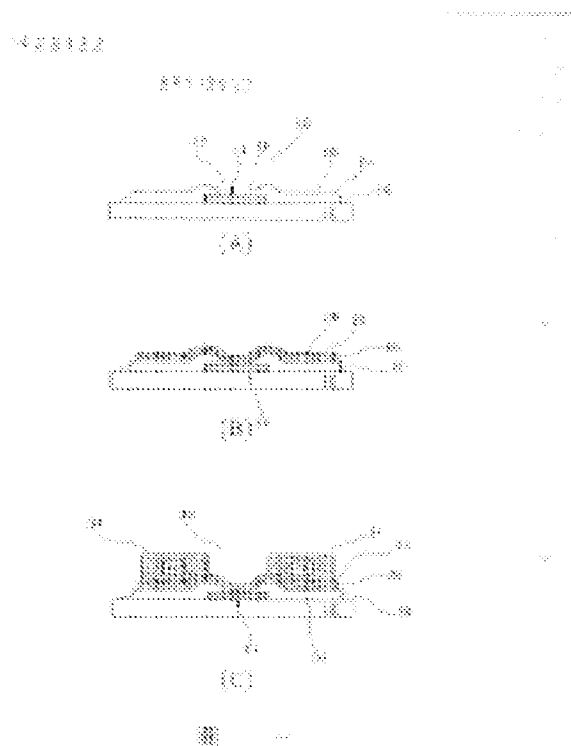
Certification_Number 128249

IPC H01L-023/48

Inventor WANG, TSUNG-HSIUNG
TW

Applicant INDUSTRIAL
TECHNOLOGY
RESEARCH INSTITUTE
TW

Abstract This invention discloses the bumpless flip chip package and method for fabricating. The invention is accomplished by using the connection layer with single-layer or multi-layer structure, which has plural conduction bump-pad stages. The connection layer having the conduction bump-pad stage is thermal resist type and is with low coefficient of thermal expansion. In addition, this connection layer is



composed of soft, electric-insulation polymer material that has adhesion characteristic and elastic structure. The top portion and bottom portion of this connection layer are composed of the homogeneous or heterogeneous electrically-insulated polymer material that has adhesion characteristic such that it has substantial adhesion strength for both integrated circuit chip surface and substrate surface. The connection layer is placed in between the integrated circuit chip and substrate so that the connection behavior of electric conduction is obtained by using thermal press process. This connection layer can be designed as the connection layer that has layer-added type with multi layer structure according to the input/output redistribution requirement of the integrated circuit chip and can be combined with flip chip technique to change the peripheral array package into grid point array package so as to expand the application field range. By using the bumpless flip chip package structure and fabrication process of this invention,

圖 23 圖 23

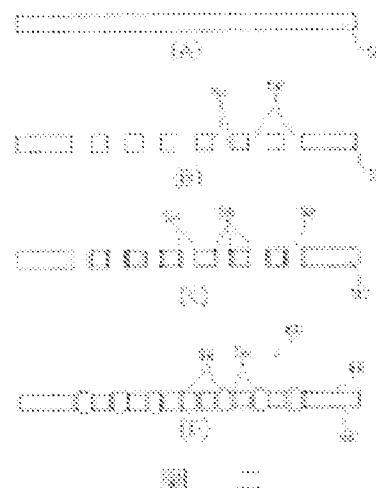
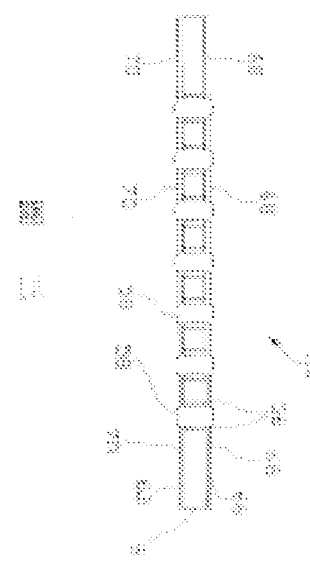


圖 24 圖 24



the fabrication process can be simplified, in which the deposition process of bump on chip, the flux cleaning process and the bottom glue adding process are not required, and the utilization of material such as flux, bottom glue and so on can be eliminated such that the requirements of production cost down and reliability increase can be obtained.

Individual

F

Patent Right Change

Application Number	088112937
Date of Update	20090922
Licensing Note	No
Mortgage Note	No
Transfer Note	No
Succession Note	No
Trust Note	No
Opposition Note	No
Invalidation Note	No
Cessation Note	
Revocation Note	
Issue date of patent right	20010221
Patent expiry date	20190726
Maintenance fee due	20110220
Years of annuity paid	10

圖 13

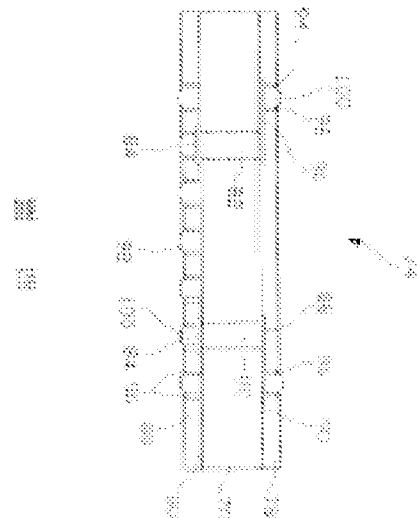
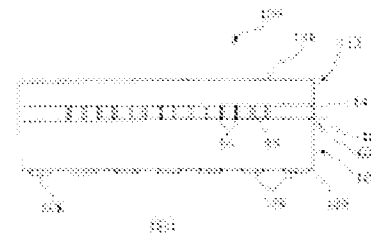
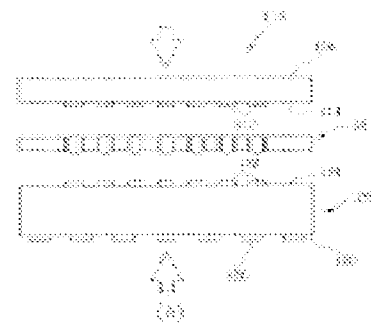
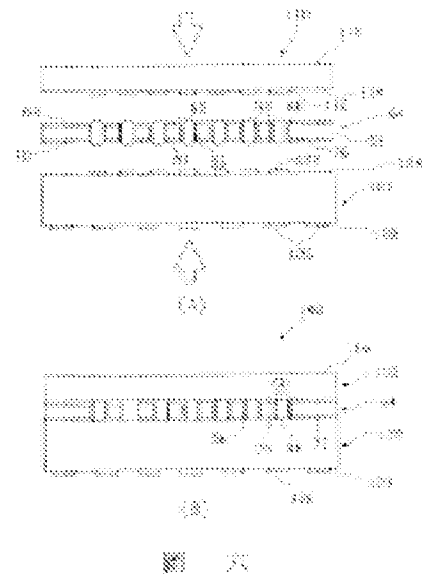


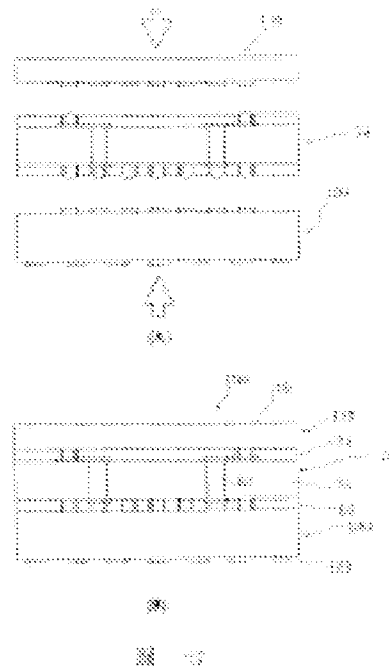
圖 14



4 2 2 3 3 2



4232



申請日期: 88. 7. 27

案號: 88112937

類別:

(以上各欄由本局填註)

發明專利說明書

423132

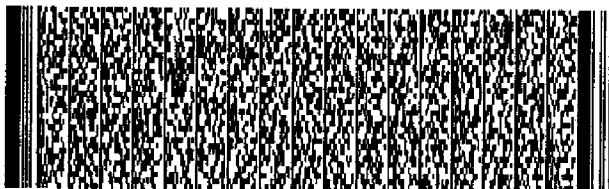
一、 發明名稱	中文	無凸塊型覆晶構裝與製程方法
	英文	Bumpless Flip Chip Package and Method for Fabricating
二、 發明人	姓名 (中文)	1. 王宗雄
	姓名 (英文)	1. Tsung-Hsiung Wang
	國籍	1. 中華民國
	住、居所	1. 台中縣大里市中興路二段706巷20號
三、 申請人	姓名 (名稱) (中文)	1. 財團法人工業技術研究院
	姓名 (名稱) (英文)	1. Industrial Technology Research Institute
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹縣竹東鎮中興路四段195號
	代表人 姓名 (中文)	1. 孫震
	代表人 姓名 (英文)	1.



四、中文發明摘要 (發明之名稱：無凸塊型覆晶構裝與製程方法)

本發明揭露一種形成無凸塊型覆晶構裝之結構與方法。本發明是藉由使用具有複數個導電凸墊座之單層或多層結構的連結層來完成。此具導電凸墊座結構之連接層為耐熱型、低熱膨脹係數，且具黏著特性及彈性結構之軟質電性絕緣高分子聚合物材料所組配的。該連接層的頂部和底部為具黏著特性之同質或異質電性絕緣高分子聚合物，對積體電路晶片和基板表面均有相當程度的接著強度。將連接層置於積體電路晶片和基板之間，運用熱壓製程技術，達到電性導通的接合行為。此連接層可依積體電路晶片輸出/入的重分配需要，設計為增層式多層結構之連結層，並結合覆晶技術，以變化週邊陣列構裝為格點陣列構裝，擴展應用的領域範圍。使用本發明無凸塊型覆晶構裝

英文發明摘要 (發明之名稱：Bumpless Flip Chip Package and Method for Fabricating)



四、中文發明摘要 (發明之名稱：無凸塊型覆晶構裝與製程方法)

之結構與製程，除能簡化製程，完全無須晶片長凸塊、助焊劑清洗及點底膠製程外，亦可免用助焊劑與底膠等材料，因此能達到降低成本與提高可靠度的需求。

英文發明摘要 (發明之名稱：Bumpless Flip Chip Package and Method for Fabricating)



五、發明說明 (1)

發明領域

本發明係有關於一種覆晶構裝的結構與方法。特別地，係關於使用具有複數個導電凸墊座之單層或多層結構的連結層，以構成無凸塊型覆晶構裝之結構與方法。

發明背景

隨著電子、資訊與通信產品對輕薄短小、多功能和高速化的需求日益迫切，因此在強調能提高元件組合密度的連結方式或構裝技術，更有著日益嚴苛的要求。覆晶構裝技術即是一種大家能接受的結合方式。傳統的覆晶構裝技術，必須使用已具有鐸錫凸塊 (solder bump) 的積體電路晶粒，並結合助焊劑塗佈工程、迴焊製程 (reflow process)、助焊劑 (flux) 清洗工程，以及點底膠與熱硬化製程等，直接將積體電路 (integrated circuit, IC) 晶粒與基板對位連接，達到高可靠性的構裝需求。其中鐸錫凸塊的形成，一般可使用錫鉛複合材料 (composite material of tin and lead) 經由一光罩 (mask)，利用蒸鍍 (evaporation)、濺鍍 (sputtering) 或電鍍 (electrodeposition) 等方式，以產生具對應位置的鐸錫凸塊。最近有人結合電極植入的技術，應用在覆晶構裝製程中產生鐸錫凸塊，已有不錯的研發成果。此外，以錫膏網印 (solder paste screening) 方式製作鐸錫凸塊，亦

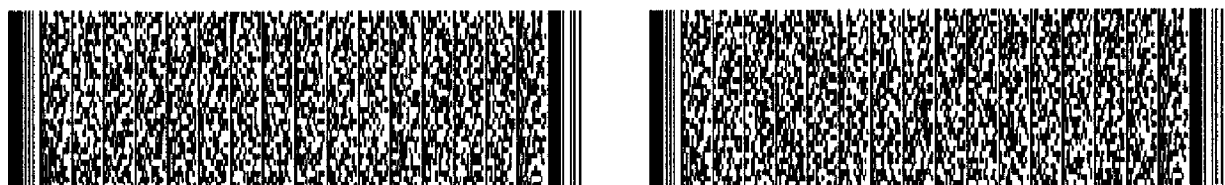


五、發明說明 (2)

是被廣泛使用的技術。

然而，隨著近來構裝元件尺寸小型化的需求，使得鐳錫凸塊與凸塊之間的空隙或間距(spacing or pitch)有逐漸減縮的趨勢，屆時錫膏網印技術將會因製作困難及低良率而不符需求，且利用錫膏網印技術長鐳錫凸塊時，由於錫膏本身是助焊劑材質和鐳錫合金粒子混合而成的，當鐳錫凸塊體積減小時，此種錫膏合成物的濃度和均勻性會變得難以控制，因此需要使用粒徑細小而均勻的鐳錫粒子，並組配適當的助焊劑，不過將增加許多的製作成本及混合困難度。此外，當鐳錫從膏狀圓柱體狀態(paste state)到固化球面體狀態(cured state)時，直徑將會明顯地減少，所以在鐳錫凸塊與凸塊間之間距縮小時，介於其間可利用的有限空間，將無法滿足錫膏網印的口徑(diameter of screen hole)設計與製作之最小尺寸要求。

其它可形成鐳錫凸塊的技術，例如可掌握高度的裸晶片反扣熔塌焊接技術(controlled collapse chip connection, C4)和薄膜(thin film)電極植入技術等，亦是常被使用在積體電路晶片的長凸塊製程中。不過對於微間距(fine-pitched)鐳錫凸塊的要求，C4技術的應用會因製程所需之鉬光罩(molybdenum mask)製作的困難度增加而受到限制。同樣地，薄膜電極植入技術也會因使用蝕刻製程(etching process)來製作凸塊底層金屬層(under



五、發明說明 (3)

bump metallurgy, UBM) 的技術能力，和C4的技術一樣，有著相同的限制。圖1A至圖1F為傳統鐳錫凸塊的製作流程。

圖1A為傳統積體電路晶片剖面結構10的示意圖。在矽晶片12的頂部表面16上為連接焊墊(bond pad)14，藉以連結外部的電路。連接焊墊14通常為鋁金屬。連接焊墊14的上方塗佈一層保護層(passivation layer)20，以防護傳導線路及金屬焊墊，免於受潮或氧化。利用照相平版印刷製程(photolithography process)製作連接焊墊的視窗22，刻劃出連接焊墊14對外電性連結的區域範圍。保護層20為一種電性絕緣材料，諸如氧化物(oxide)、氮化物(nitride)或有機材料(organic material)等。在保護層20之頂部表面24和連接焊墊14頂部表面的曝露區域18上，蒸鍍或濺鍍凸塊底層金屬層26，藉以增加鐳錫凸塊42與晶片連接焊墊裸露區域18之間的接著強度，並提升其可靠度，如圖1B所示。凸塊底層金屬層26，通常由一黏著擴散障礙層(adhesion diffusion barrier layer)30和一濕潤層(wetting layer)28組成的。此黏著擴散障礙層30可由鈦(Ti)、鈦鎢(TiW)、鎳(Ni)或鉻(Cr)金屬；而濕潤層28通常為銅(Cu)金屬層。

製程下一步驟，為在凸塊底層金屬26上方，塗佈一層光阻層(photoresist layer)34，利用照相平版印刷製程



五、發明說明 (4)

(photolithography process)，曝光並顯影出預製作銲錫凸塊底端的區域範圍38，如圖1C所示，提供給長銲錫凸塊之用。運用蒸鍍、濺鍍或電鍍等技術，在其長銲錫凸塊的開口植入銲錫物料，以形成一突出於光阻層之頂端表面42上的葦狀銲錫凸塊40，如圖1D所示。光阻層34的厚度關係到銲錫凸塊的高度及直徑，因此必須細心地控制，以使其厚度能在適當的範圍內。

圖1E為去除光阻層後，所形成的葦狀銲錫凸塊40。而製程的下一階段，則是將葦狀銲錫凸塊40作為蝕刻的保護罩，以保護其下的凸塊底層金屬不被蝕刻。使用濕式蝕刻(wet etching)製程，將未受保護的金屬完全蝕刻掉，並經迴焊製程，使葦狀銲錫凸塊40形成球面銲錫凸塊42，如圖1F所示。

傳統的覆晶組裝製程中，除需包括對積體電路晶片進行如上述的長銲錫凸塊製程外，在積體電路晶片與基板進行覆晶技術連結時所需要的助焊劑塗佈工程，以清除銲錫表面的氧化物，協助銲錫凸塊於迴焊製程的熔融連接，與消除多餘的助焊劑的清除製程和清除後的乾燥製程，以及灌填底膠(underfill)製程和底膠的硬化製程等，製程冗長而複雜，且長凸塊的好壞和助焊劑清洗後的潔淨與否，以及灌填底膠是否完全等等，均會影響其可靠度，將直接反應在產品的品質上，往往是造成良率不高、成本居高不下



五、發明說明 (5)

下，以及交期延後等的主要因素。此外，助焊劑與底膠材料，價位高昂，性質又難以掌控，亦是成本無法降低的原因。

發明概要

因此，本發明之一目的是，提供一種新穎的覆晶構裝結構與製程，可減除塗助焊劑、助焊劑清洗、灌填底膠與底膠硬烤等製程，能減縮冗長而複雜的製程，且較傳統覆晶構裝製程更為簡易。

本發明之又一目的是，提供一覆晶構裝製程，而此製程無需將積體電路晶片進行長鉚錫凸塊製程。

本發明之更一目的是，提供一覆晶構裝結構，而此結構是在積體電路晶片與基板間置入具有複數個導電凸墊座之單層或多層結構的連結層，達到電路連接導通的目的。

本發明之又一目的是，提供一種無鉚錫凸塊之覆晶構裝的結構與製程，而此結構是使用耐熱型、低熱膨脹係數，且具黏著特性及彈性結構之軟質電性絕緣高分子聚合物材料所組配而製成具複數個導電凸墊座之單層或多層結構之連結層，此連結層置於積體電路晶片和基板之間，運



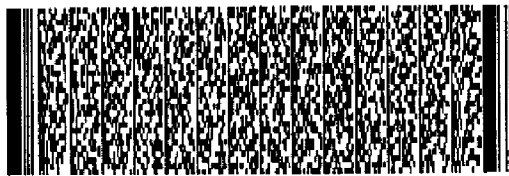
五、發明說明 (6)

用對位熱壓製程技術，達到覆晶接合電性導通的接合目的。

本發明之又一目的是提供具複數個導電凸墊座之單層或多層結構之連接層，該連接層的頂部和底部為具黏著特性之同質或異質電性絕緣高分子聚合物，對積體電路晶片和基板表面均有相當程度的接著強度。此連接層可依積體電路晶片輸出/入的重分配需要，設計為增層式多層結構之連結層，並結合覆晶技術，以變化週邊陣列構裝為格點陣列構裝，擴展應用的領域範圍。

在本發明之較佳實施例中，一種形成一無凸塊型覆晶構裝的製程，可用下列運作的步驟來實施。首先，提供一積體電路晶片，在其表面具有第一複數個連接焊墊。然後，提供一基板，此基板的表面之相對位置備有第二複數個連接焊墊。將具第三複數個導電凸墊座的單層或多層結構之連接層，至於積體電路晶片與基板之間，連接層藉可對應的第三複數個導電凸墊座，連通積體電路晶片表面的第一複數個連接焊墊與基板表面的第二複數個連接焊墊，並利用連接層具接著特性之表面，與積體電路晶片和基板完成熱壓接合，達到覆晶接合電性導通的接合目的。

此形成一無凸塊型覆晶構裝的結構與製程，可進一步包括形成連接層的步驟。此步驟首先提供一電性絕緣材料



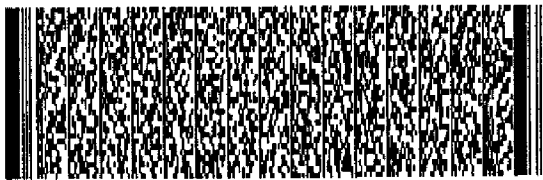
五、發明說明 (7)

層，可為液晶性聚合體(liquid crystal polymer)、聚亞醯胺(polyimide, PI)，環氧基(epoxy)和雙馬來醯胺(bismaleimide, BMI)的組成物等，其厚度可依設計需要選擇 $15\ \mu\text{m}$ ~ $250\ \mu\text{m}$ 之間，在此電性絕緣材料層內以機械、電漿或雷射鑽孔方式形成第三複數個通孔(through hole)，然後以傳統鍍通孔(plated through hole)、濺散或浸塗法(dip coating)製程在第三複數個通孔側壁鍍上一銅層，並於其內填入可鉅錫的金屬材料，製作一具複數個導電凸墊座之單層或多層結構之連接層。

此形成一無凸塊型覆晶構裝的結構與製程，可進一步包括製作具輸出/入的重分配(I/O redistribution)功能的連接層。為變化週邊陣列構裝為格點陣列構裝，可依需要，將連接層設計為增層式多層結構，在其結構中完成輸出/入的重分配之線路佈局(layout)。

此形成一無凸塊型覆晶構裝的結構與製程，可進一步包括提供具接著特性之連接層。依積體電路晶片與基板接合之表面的材料特性，在連接層之頂部和底部塗佈同質或異質性接著劑，此接著劑為電性絕緣高分子聚合物，對積體電路晶片和基板表面有相當程度的接著強度。

此形成一無凸塊型覆晶構裝的結構與製程，可進一步包括還原氣氛對位熱壓製程。將積體電路晶片、連接層與



五、發明說明 (8)

基板這三明治結構，精準對位後，依需求置入攝氏150度~攝氏300度間溫度之氫/氮(H_2/N_2)組配的還原氣氛中，施加50~200 磅/平方吋(pounds per square, psi)的壓力，以達到覆晶接合電性導通的接合。

藉由下列圖式與實施例之說明，以及專利申請範圍之界定，將上文及本發明之其他目的與優點詳述於后。

圖式之簡要說明

圖1A係傳統積體電路晶片放大剖面示意圖，其中，在矽晶片的頂部表面有一金屬連接焊墊，其上覆蓋有一層保護層。

圖1B係圖1A傳統積體電路晶片的表面覆蓋凸塊底層金屬之結構放大剖面圖，其中，在凸塊底層金屬層包含有兩層，一為黏著擴散障礙層，另為濕潤層。

圖1C係於圖1B之凸塊底層金屬表面上塗佈光阻劑，並經照相平版印刷之曝光顯影製程後，形成開口圖案之放大剖面圖。

圖1D係圖1C之結構放大剖面圖，其中，運用電鍍技術，形成一突出於光阻層之頂端表面上的葦狀鉅錫凸塊。



五、發明說明 (9)

圖1E係圖1D之結構放大剖面圖，其中，使用去膜劑，將光阻劑完全去除，而裸露出草狀鐳錫凸塊。

圖1F係圖1E之結構放大剖面圖，其中，以草狀鐳錫凸塊作為蝕刻的保護罩，以保護其下的凸塊底層金屬不被蝕刻，並將未受保護的金屬完全蝕刻掉，並經迴焊製程，使草狀鐳錫凸塊形成球面鐳錫凸塊。

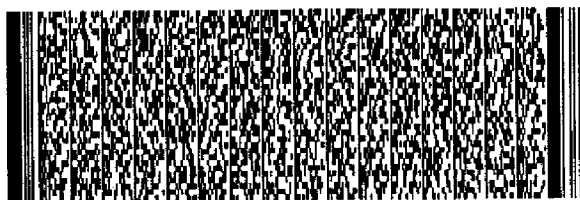
圖2A至圖2D係根據本發明之第一個實施例，其形成連接層的製作流程。

圖2A係具接著特性之電性絕緣材料層的一放大剖面圖。

圖2B係圖2A之本發明的電性絕緣材料層的一放大剖面圖，其上形成複數個通孔。

圖2C係圖2B之本發明的電性絕緣材料層的一放大剖面圖，在其通孔的側壁，以傳統鍍通孔、濺散或浸塗法製程在複數個通孔側壁鍍上一銅層。

圖2D係圖2C之本發明的電性絕緣材料層的一放大剖面圖，其內填入可鐳錫的金屬材料，製作出一具複數個導電凸墊座之單層或多層結構的連接層。



五、發明說明 (10)

圖3係根據本發明的之第二個實施例，其形成之連接層的一放大剖面圖。使用的電性絕緣材料承載主體，本身可不具接著性，在其頂部與底部表面依積體電路晶片與組配基板的表面性質，塗佈適當的接著劑。

圖4係根據本發明之第三個實施例，其形成之連接層的一放大剖面圖。此連接層設計為增層式多層結構，在其結構中完成輸出/入的重分配之線路佈局。

圖5A係說明根據本發明之方法的第一實施例，在還原氣氛中，以熱壓方式，將一積體電路晶片、一連接層及一基板，一起對位壓合前的結構剖面圖。

圖5B係說明根據本發明之方法的第一實施例，在還原氣氛中，以熱壓方式，將一積體電路晶片、一連接層及一基板，一起對位壓合後的結構剖面圖。

圖6A係說明根據本發明之方法的第二實施例，在還原氣氛中，以熱壓方式，將一積體電路晶片、一連接層及一基板，一起對位壓合前的結構剖面圖。

圖6B係圖6A的積體電路晶片、連接層與基板，一起對位壓合後的結構剖面圖。



五、發明說明 (11)

圖7A係說明根據本發明之方法的第三實施例，在還原氣氛中，以熱壓方式，將一積體電路晶片、一連接層及一基板，一起對位壓合前的結構剖面圖。

圖7B係圖7A的積體電路晶片、連接層與基板，一起對位壓合後的結構剖面圖。

本發明之較佳實施例的詳細說明

本發明揭露一種無凸塊覆晶構裝之結構及製成此種構裝的方法。本發明使用具有複數個導電凸墊座之單層或多層結構的電性絕緣連結層，此連接層置於積體電路晶片和基板之間，熱壓接合，如此即不需進行積體電路晶片的鍍錫凸塊製程。本發明更揭露製造此連接層的方法，並進一步揭露藉由使用具有複數個導電凸墊座之單層或多層結構的電性絕緣連結層，完成無凸塊覆晶構裝的方法。

形成此連接層的步驟中，首先提供一電性絕緣材料層，接著在此電性絕緣材料層裡形成複數個通孔，然後在複數個通孔之側壁，以傳統鍍通孔、蒸鍍或濺鍍等方法鍍上一黏著助長的銅層，以改善鍍錫材料與此電性絕緣材料之間的結合，並藉以固定鍍錫材料於通孔內，防止在迴焊製程中有流錫的現象。通孔內填入鍍錫材料以形成複數個

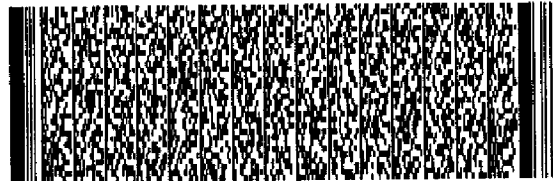


五、發明說明 (12)

導電凸墊座。此鐸錫材料的填入，可藉由電鍍、無電鍍，以及網板印刷與鋼板印刷等技術來完成。此連接層可依積體電路晶片與基板的表面性質，提供不同形式的黏著層材料在此連接層的頂部和底部表面上，以適用於連接到積體電路晶片和基板不同的表面材料，增加其間的接著強度，以提昇其可靠度。此連接層更可設計為增層式多層結構，在其結構中完成輸出/入的重分配之線路佈局，以作為一輸出/入的重分配結構，可應用在變化週邊陣列構裝為格點陣列構裝之需求上。

本發明新穎的方法，即是將長凸塊製程、錫球連接製程、灌填底膠製程和線路重分配等合而為一，具可連續自動化生產的無凸塊覆晶構裝之結構與形成之方法，節省許多傳統覆晶構裝製程所需要的處理步驟。例如，鐸錫凸塊形成步驟、上助焊劑步驟、助焊物料的清除步驟、灌填底膠步驟、以及點底膠硬化步驟等。因此本發明無凸塊覆晶構裝之結構與形成之方法，製程簡易，可縮短製程時間，且連接層的材料可依需要而變化，材料選擇性高，能降低製作成本。

本發明的連接層可適合在50 磅/平方吋至200磅/平方吋之間的壓力與攝氏150度至300度之間的溫度範圍中的熱壓製程。連接層可依整體構裝需求選擇15 μm 至250 μm 之間的厚度。連接層的通孔部分，可使用機械、電漿或雷射



五、發明說明 (13)

鑽孔技術來形成，孔徑可從0.3mm至0.025mm。形成連接層主要承載體的電性絕緣材料為耐熱型、低熱膨脹係數，且具有彈性結構的軟質材料，諸如：耐高溫黏著型聚合物、液晶性聚合物、聚亞醯胺、環氧樹脂/雙馬來醯亞胺組合物、或多元酯等物料。用於連接層之頂部表面及底部表面上的黏著型聚合物，必須經得起約攝氏180度的運作溫度，且具有良好的尺寸定性(dimension stability)。

現參考圖2A中本發明連接層之第一實施例之電性絕緣材料層50的一放大剖面圖。電性絕緣材料層50為具有彈性結構之軟質材料來形成，諸如：耐高溫黏著型聚合物、液晶性聚合物、聚亞醯胺、環氧樹脂/雙馬來醯亞胺，或多元酯等物料，此材料層必須有高至約為攝氏180度的耐熱特性和良好的尺寸安定性。電性絕緣材料層50內的通孔52可用機械、電漿或鐳射鑽孔技術來形成，如圖2B所示。通孔52的直徑大小可依需要從0.3mm至0.025mm。通孔52形成後，在其側壁54使用傳統鍍通孔、蒸鍍或濺鍍方式上一層黏著助長銅層56，此黏著助長銅層56可增加在後來被植入的鐸錫材料及電性絕緣材料層50側壁54之間的結合。此示於圖2C中。

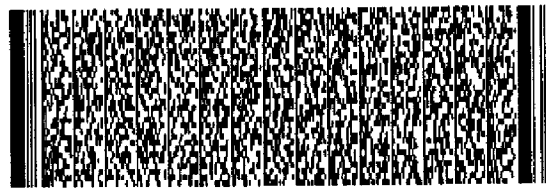
在製程的最後步驟中，鐸錫材料58可以電鍍技術、無電鍍技術、網板印刷技術或鋼板印刷技術，將其植入於通孔52中，如圖2D所示。



五、發明說明 (14)

圖3所示為本發明連接層的第二實施例，提供一連接層64，其與圖2中的連接層60是相似的，不過連接層64之承載主體本身不具接著性，因此必須在電性絕緣材料層51之頂部表面66及底部表面62，是塗佈以黏著層68和70。在連接層64中的電性絕緣材料層51，為具有彈性結構的軟質高分子聚合物，諸如：液晶性聚合物、聚亞醯胺、環氧樹脂/雙馬來醯亞胺、或多元酯等。電性絕緣材料層51的黏著性，可藉由頂部黏著性接著層68及底部黏著性接著層70來完成，以結合至積體電路晶片和基板(未示於圖式)，黏著性接著層之材料可為聚亞醯胺、環氧樹脂/雙馬來醯亞胺、或多元酯等，可依積體電路晶片和基板之特定的結合需求，選擇不同接著特性的黏著材料。作為承載主體與接著層之材料層必須具有高至約為攝氏180度的耐熱特性和良好的尺寸安定性。電性絕緣材料層內的通孔可用機械、電漿或鐳射鑽孔技術來形成，如圖3所示。通孔的直徑大小可依需要從0.3mm至0.025mm。通孔形成後，在其側壁使用傳統鍍通孔、蒸鍍或濺鍍方式上一層黏著助長銅層，此黏著助長銅層可增加在後來被植入的鉕錫材料及電性絕緣材料層側壁之間的結合。此示於圖3中。

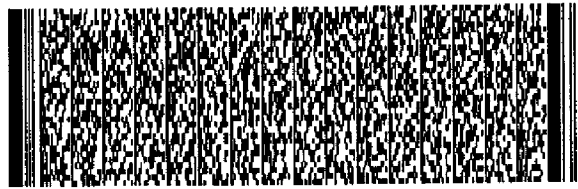
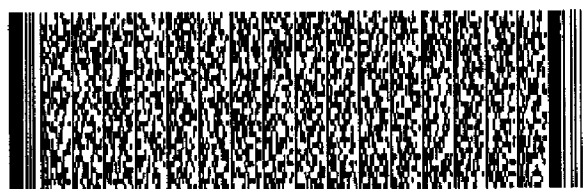
圖4說明本發明之連接層74的第三實施例。為變化週邊陣列構裝為格點陣列構裝。在此實施例中，連接層設計為增層式多層結構，在其結構中完成輸出/入的重分配之



五、發明說明 (15)

線路佈局，其中所使用的電性絕緣材料承載主體76，本身可不具接著性，在其中間具有導通孔82，並在其頂部90與底部80表面的相對導通孔位置上，有作為連通的金屬墊，如頂部連接金屬墊86與底部連接金屬墊84。依積體電路晶片與組配基板的表面性質，塗佈適當具接著性質之電性絕緣材料，如與晶片表面接合的電性絕緣材料78，以及和基板表面接合的電性絕緣材料88，兩者均具有位置對應的複數個導電凸墊座，其製作步驟如圖2之製作流程，包括通孔側壁(side-wall)94、側壁鍍金屬96，以及可鉅錫之金屬材料100。連接層74具有輸出/入重分配的結構，可因應從週邊陣列(peripheral array)構裝轉換為區域陣列(area array)構裝變化之需求，如圖7A和圖7B所示。

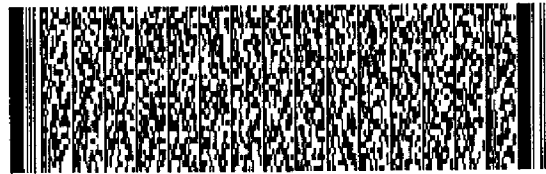
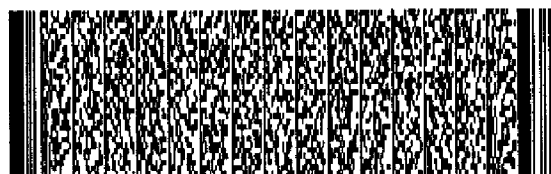
圖5A至7B為說明本發明具新穎性之無凸塊型覆晶構裝的三個實施例。圖5A及5B為說明使用圖2D中之連接層60與積體電路晶片110和基板120，在熱壓製程前後的覆晶構裝之第一個結構實施例。如圖5A所示，積體電路晶片110在晶片表面114的具有複數個連接金屬墊112，基板120的頂部表面124上具有相對應之複數個連接金屬墊122，而基板底部表面128，亦有複數個連接金屬墊126。將積體電路晶片、連接層與基板這三明治結構，精準對位後，依需求置入攝氏150度~攝氏300度間溫度之氫/氮組配的氫/氮的混合物還原氣氛中，施加50~200 磅/平方吋的壓力，進行熱壓製程，以達到覆晶接合電性導通的接合，整體覆晶構裝



五、發明說明 (16)

結構130即已成形，圖5B所示。連接層60的厚度約在 $15\mu\text{m}$ 至 $250\mu\text{m}$ 之間。連接金屬墊112、122與126可為鋁合金，如鋁-錳(Al-Mn)、鋁-銀(Al-Ag)，或銅合金，如銅-鎳(Cu-Ni)與銅-鋁(Cu-Al)等。用來填入連接層60通孔的可鐸錫物料可以是錫/鉛(Sn/Pb)、錫/鋅(Sn/Zn)或是錫/銀(Sn/Ag)等合金或混合物材料。

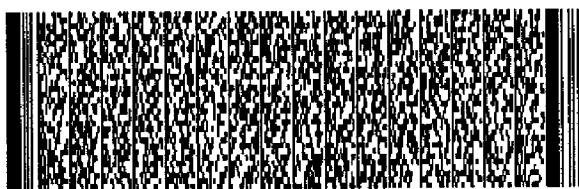
圖6A及6B為說明使用圖3中之連接層64與積體電路晶片110和基板120，在熱壓製程前後的覆晶構裝之第二個結構實施例。如圖6A所示，積體電路晶片110在晶片表面114的具有複數個連接金屬墊112，基板120的頂部表面124上具有相對應之複數個連接金屬墊122，而基板底部表面128，亦有複數個連接金屬墊126，連接層64表面用以接合晶片的接著劑68和用以接合基板的接著劑70。將積體電路晶片、連接層與基板這三明治結構，精準對位後，依需求置入攝氏150度~攝氏300度間溫度之氮/氬組配的氮/氬的混合物還原氣氛中，施加50~200磅/平方吋的壓力，進行熱壓製程，以達到覆晶接合電性導通的接合，整體覆晶構裝結構140即已成形，圖6B所示。連接層64的厚度約在 $15\mu\text{m}$ 至 $250\mu\text{m}$ 之間。連接金屬墊112、122與126可為鋁合金，鋁-錳、鋁-銀，銅合金，或銅-鎳與銅-鋁等。用來填入連接層64通孔的可鐸錫物料可以是錫/鉛、錫/鋅或是錫/銀等合金或混合物材料。



五、發明說明 (17)

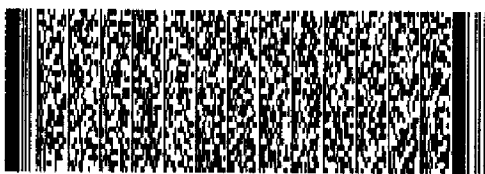
圖7A及7B為說明使用圖4中之連接層74與積體電路晶片110和基板120，在熱壓製程前後的覆晶構裝之第三個結構實施例。如圖7A所示，積體電路晶片110在晶片表面114的具有複數個連接金屬墊112，基板120的頂部表面124上具有相對應之複數個連接金屬墊122，而基板底部表面128，亦有複數個連接金屬墊126，連接層74表面用以接合晶片的接著劑78和用以接合基板的接著劑80，具有輸出/入重分配的功能結構。將積體電路晶片、連接層與基板這三明治結構，精準對位後，依需求置入攝氏150度~攝氏300度間溫度之氫/氮組配的混合物之還原氣氛中，施加50~200磅/平方吋的壓力，進行熱壓製程，以達到覆晶接合電性導通的接合，整體覆晶構裝結構150即已成形，圖7B所示。連接層74的厚度約在15 μm 至250 μm 之間。連接金屬墊112、122與126可為鋁合金、鋁-錳、鋁-銀，銅合金，或銅-鎳與銅-鋁等。用來填入連接層74通孔的可鐸錫物料可以是錫/鉛、錫/鋅或是錫/銀等合金或混合物材料。

本發明無凸塊型覆晶構裝結構與方法之新穎性與獨特性，且有其市場的實際應用性，在圖2A至7B的實施例中，已有詳細的敘述。唯，以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍。即大凡依本發明在專利範圍所作之均等變化與修飾，皆應仍屬本發明專利涵蓋之範圍內。



六、申請專利範圍

1. 一種無凸塊型覆晶構裝的製程方法，包含下列步驟：
提供一積體電路晶片，該積體電路晶片配裝以第一複數個連接金屬墊在其表面上；
提供一基板，該基板具有相對的第二複數個連接金屬墊在其頂部表面上；
提供一連接層，置入在該積體電路晶片和該基板之間，該連接層具有第三複數個導電凸墊座，相對於該第一與第二複數個連接金屬墊；以及，
將該積體電路晶片、該連接層與該基板組合的三明治結構，在一還原氣氛下，施加一溫度和一壓力，以使該積體電路晶片的該第一複數個連接金屬墊和該基板的第二複數個連接金屬墊的電性導通，能經由該連接層的該第三複數個導電凸墊座而建立。
2. 如申請專利範圍第1項所述之無凸塊型覆晶構裝的製程方法，該連接層之形成更包括下列步驟：
提供一具接著性質的電性絕緣材料層；
在該電性絕緣材料層中形成有第三複數個通口，在該第三複數個通口的側壁有一層接著助長的金屬層；以及，
填入一可鐳錫材料於該第三複數個通口中。
3. 如申請專利範圍第2項所述之無凸塊型覆晶構裝的製程方法，其中該連接層的第三複數個通口的形成係藉由機械、電漿或雷射鑽孔來達成。



六、申請專利範圍

4. 如申請專利範圍第2項所述之無凸塊型覆晶構裝的製程方法，其中該接著金屬層係藉由一鍍鍍金屬技術來達成，包括有鍍通孔和蒸鍍或濺鍍之技術。
5. 如申請專利範圍第2項所述之無凸塊型覆晶構裝的製程方法，其中該可鐸錫材料係藉由一填孔技術來達成，包括有網板印刷和銅板印刷之技術。
6. 如申請專利範圍第2項所述之無凸塊型覆晶構裝的製程方法，該連接層之承載主體不具接著性質。
7. 如申請專利範圍第2項所述之無凸塊型覆晶構裝的製程方法，更包含在該連接層之頂部與底部表面塗佈一電性絕緣材料接著劑的步驟，用以增加對該該積體電路晶片與該基板的接著強度。
8. 如申請專利範圍第7項所述之無凸塊型覆晶構裝的製程方法，其中該電性絕緣材料接著劑係一同質的電性絕緣材料接著劑。
9. 如申請專利範圍第2項所述之無凸塊型覆晶構裝的製程方法，其中該連接層的材料係具耐高溫且低熱膨脹係數的彈性結構的電性絕緣材料，包括有高分子聚合物、聚亞醯



六、申請專利範圍

胺、環氧樹脂/雙馬來醯亞胺和多元酯。

10. 如申請專利範圍第2項所述之無凸塊型覆晶構裝的製程方法，其中該連接層的厚度約在 $15\ \mu\text{m}$ 和 $250\ \mu\text{m}$ 之間。

11. 如申請專利範圍第2項所述之無凸塊型覆晶構裝的製程方法，其中該連接層的接著助長金屬層的材質包括有銅、鎳或鎳-鉻合金。

12. 如申請專利範圍第2項所述之無凸塊型覆晶構裝的製程方法，其中該連接層的導電凸墊座之可鐸錫材料包括有錫/鉛、錫/鋅或是錫/銀等合金或混合物材料。

13. 如申請專利範圍第1項所述之無凸塊型覆晶構裝的製程方法，其中該還原氣氛為氫/氮組配的氫/氮的混合物還原氣氛，該溫度在攝氏150度和攝氏300度之間，該施加的壓力為每平方吋50至200磅之間。

14. 一種無凸塊型覆晶構裝，包含有：

一積體電路晶片，該積體電路晶片配裝以第一複數個連接金屬墊在其表面上；

一基板，該基板具有相對的第二複數個連接金屬墊在其頂部表面上；以及，

一連接層，置入在該積體電路晶片和該基板之間，該連接



六、申請專利範圍

層具有第三複數個導電凸墊座，相對於該第一與第二複數個連接金屬墊；

其中，將該積體電路晶片、該連接層與該基板組合的三明治結構，在一還原氣氛下，施加一溫度和一壓力，以使該積體電路晶片的該第一複數個連接金屬墊和該基板的第二複數個連接金屬墊的電性導通，能經由該連接層的該第三複數個導電凸墊座而建立。

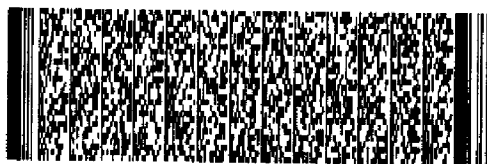
15. 如申請專利範圍第14項所述之無凸塊型覆晶構裝，其中，該連接層更包含複數層接著層在其頂部和底部表面上，以分別結合該積體電路晶片和該基板。

16. 如申請專利範圍第14項所述之無凸塊型覆晶構裝，其中，該連接層更包含一增層式多層結構，在該結構中完成輸出/入的重分配之線路佈局，以作為一輸出/入的重分配結構。

17. 如申請專利範圍第14項所述之無凸塊型覆晶構裝，其中該連接層更包含有：

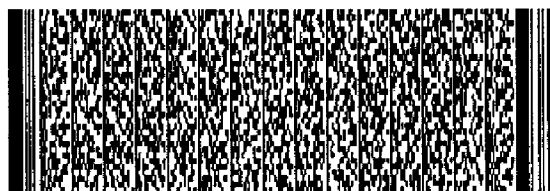
一具接著性質的電性絕緣材料層，在該電性絕緣材料層中形成有第三複數個通口；以及，

一接著助長的金屬層，形成在該第三複數個通口的每一通口的側壁，且填入一可鉅錫材料於該第三複數個通口中。



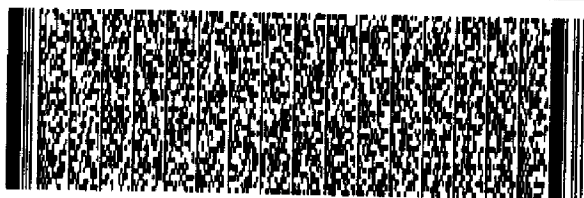
六、申請專利範圍

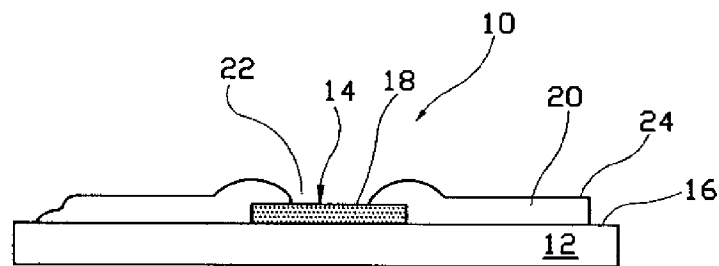
18. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，其中該連接層的第三複數個通口的形成係藉由機械、電漿或雷射鑽孔來達成。
19. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，其中該接著金屬層係藉由一鍍金屬技術來達成，包括有鍍通孔和蒸鍍或濺鍍之技術。
20. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，其中該可鐳錫材料係藉由一填孔技術來達成，包括有網板印刷和鋼板印刷之技術。
21. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，該連接層之承載主體不具接著性質。
22. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，更包含在該連接層之頂部與底部表面塗佈一電性絕緣材料接著劑的步驟，用以增加對該該積體電路晶片與該基板的接著強度。
23. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，其中該電性絕緣材料接著劑係一同質的電性絕緣材料接著劑。



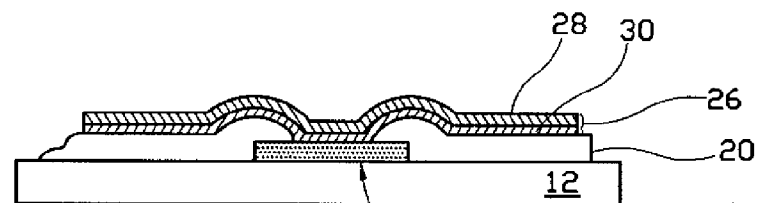
六、申請專利範圍

24. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，其中該連接層的材料係具耐高溫且低熱膨脹係數的彈性結構的電性絕緣材料，包括有高分子聚合物、聚亞醯胺、環氧樹脂/雙馬來醯亞胺和多元酯。
25. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，其中該連接層的厚度約在 $15\ \mu\text{m}$ 和 $250\ \mu\text{m}$ 之間。
26. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，其中該連接層的接著助長金屬層的材質包括有銅、鎳或鎳-鉻合金。
27. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，其中該連接層的導電凸墊座之可鐸錫材料包括有錫/鉛、錫/鋅或是錫/銀等合金或混合物材料。
28. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，其中該還原氣氛為氫/氮組配的氫/氮的混合物還原氣氛，該溫度在攝氏150度和攝氏300度之間，該施加的壓力為每平方吋50至200磅之間。

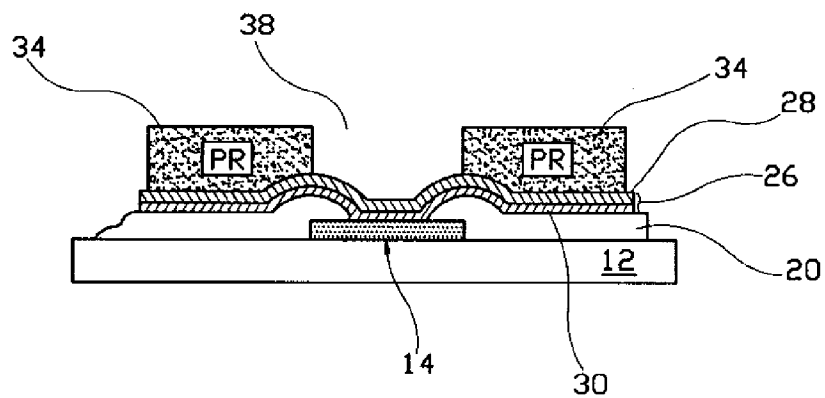




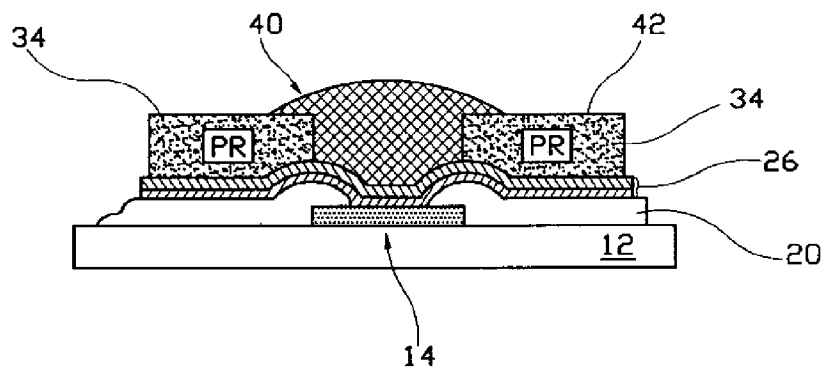
(A)



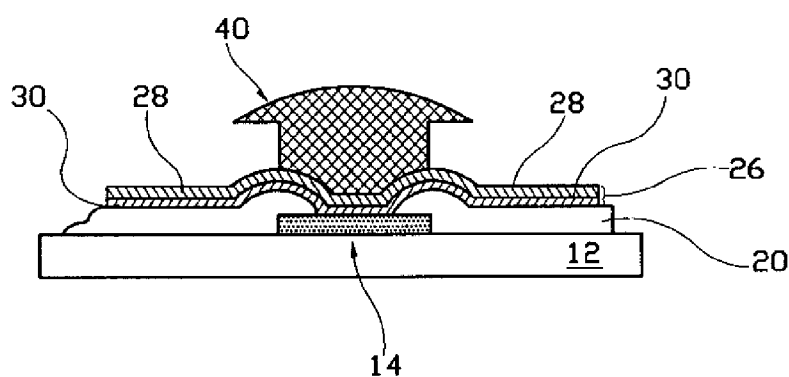
(B) 14



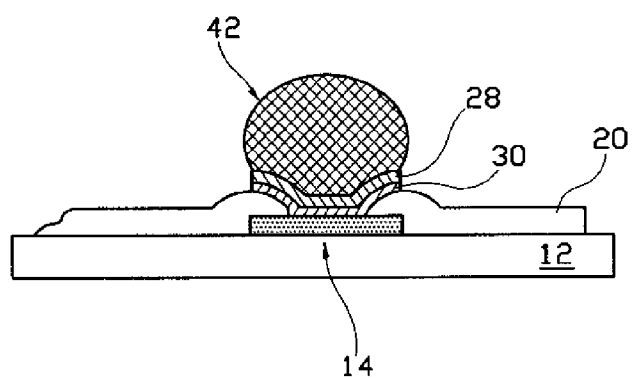
(C)



(D)



(E)



(F)

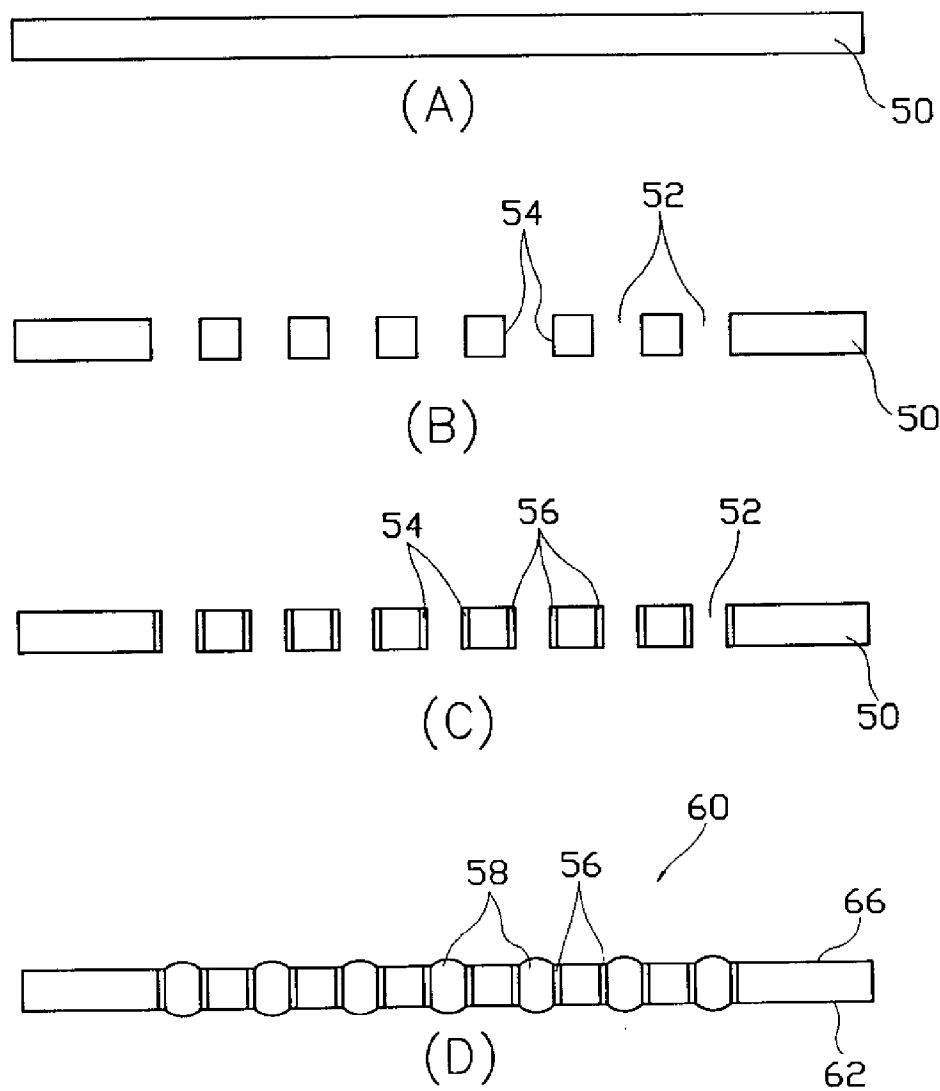


圖 二

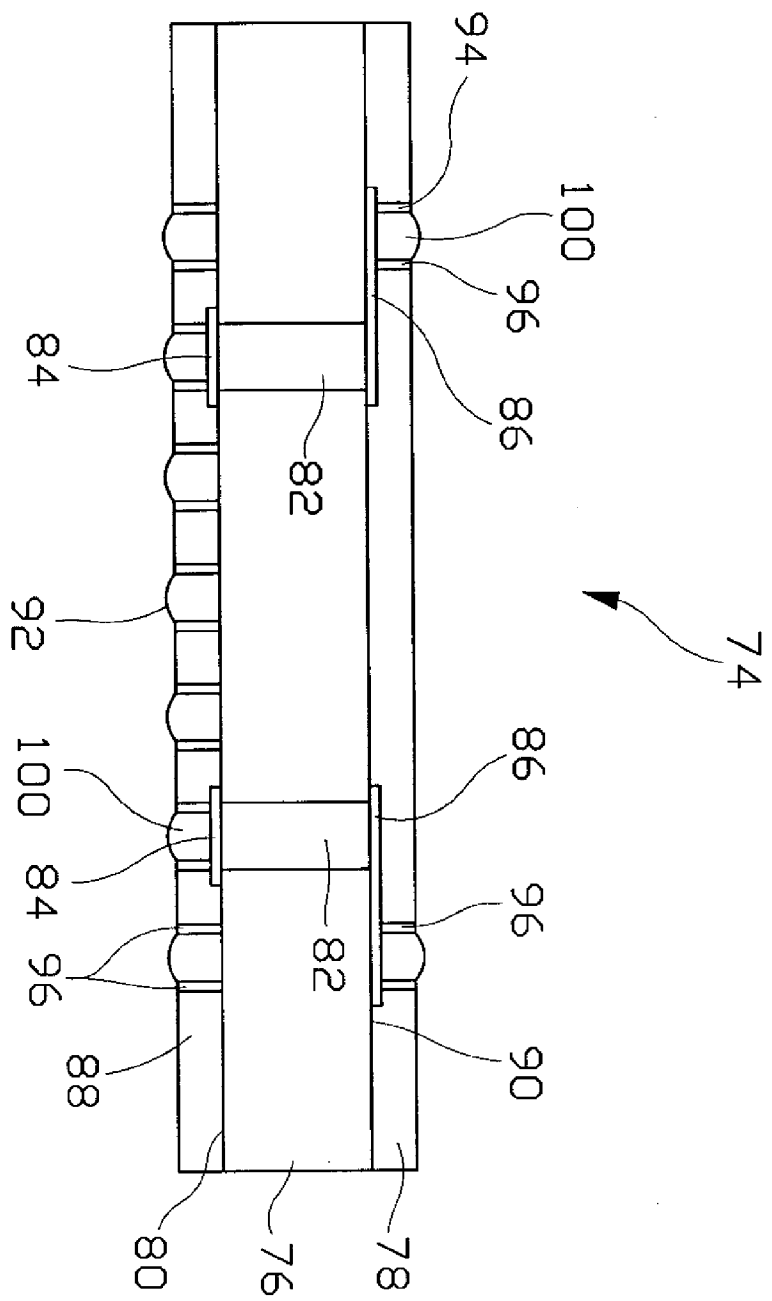


圖 四

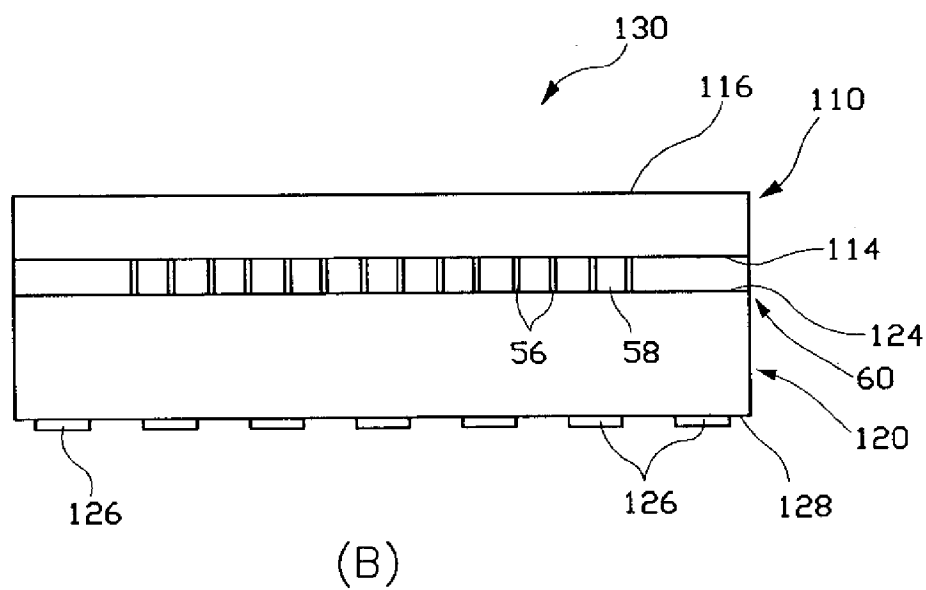
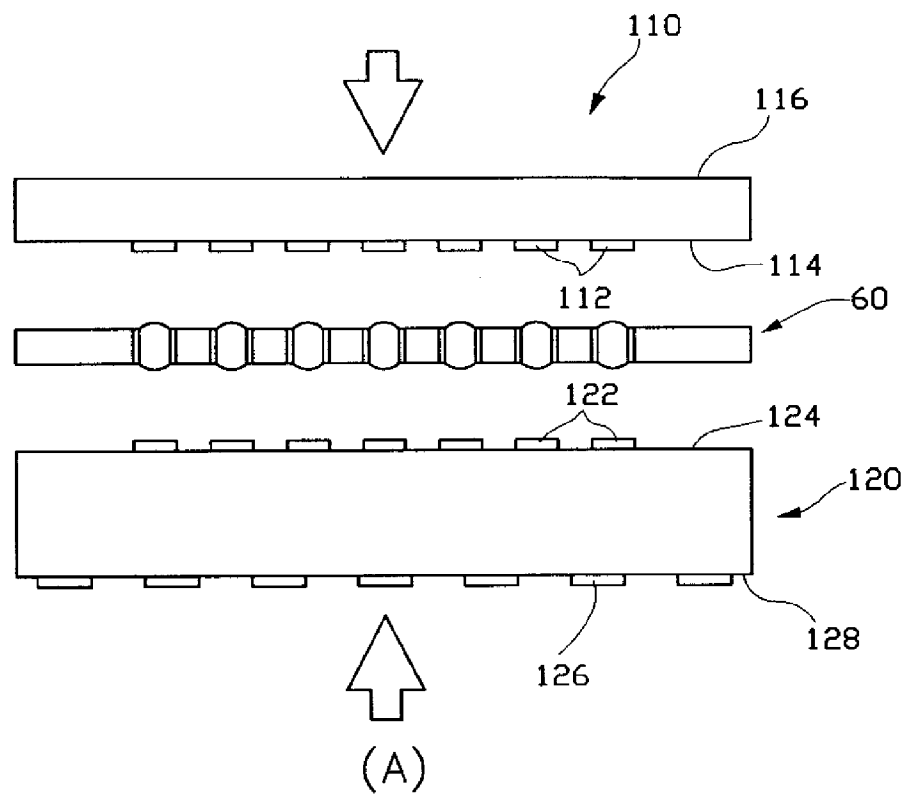


圖 五

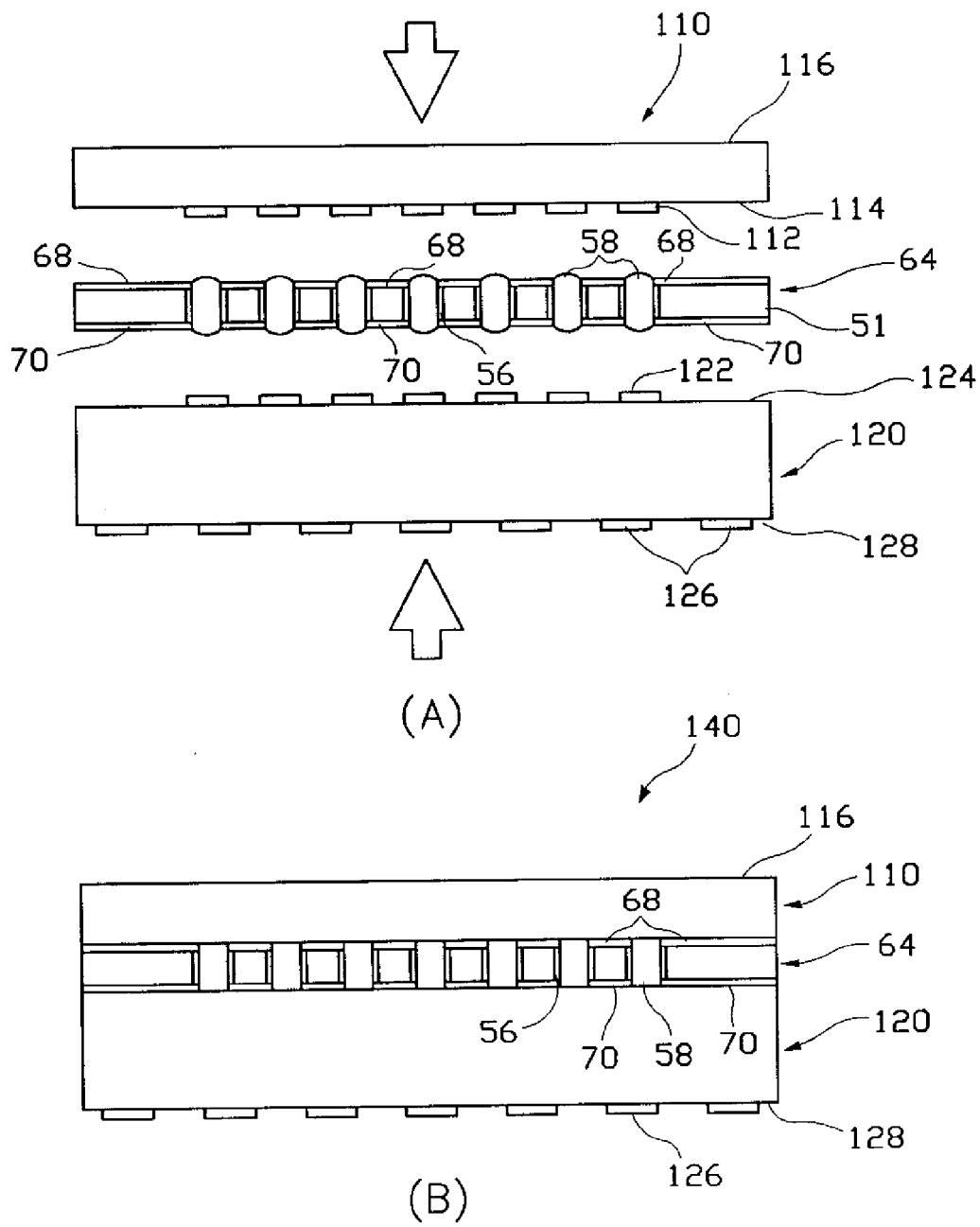
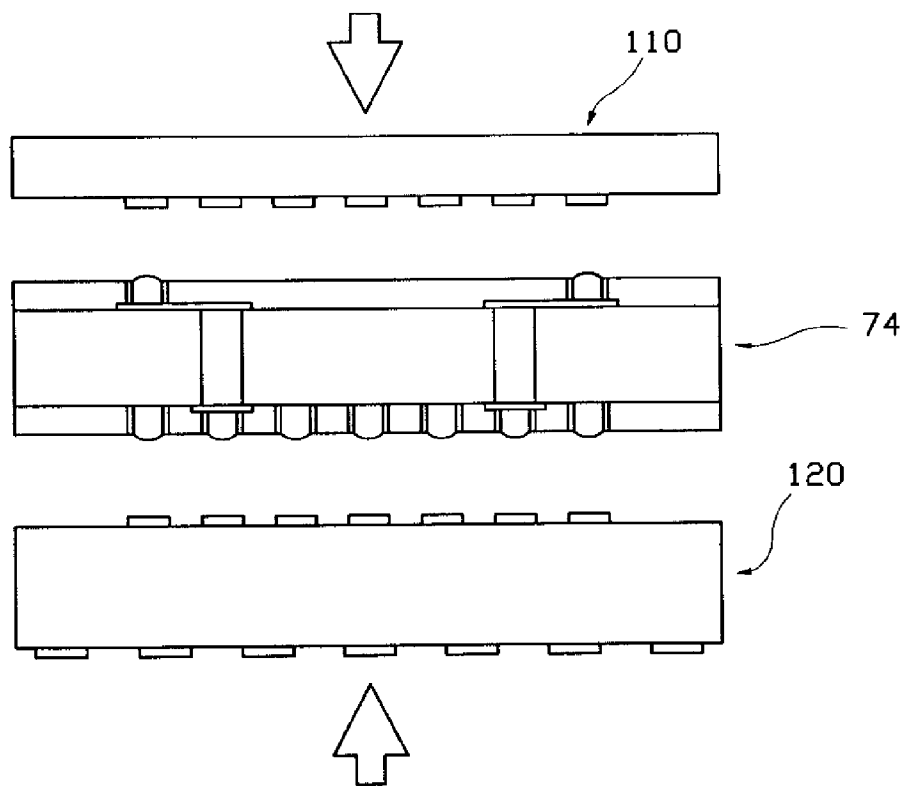
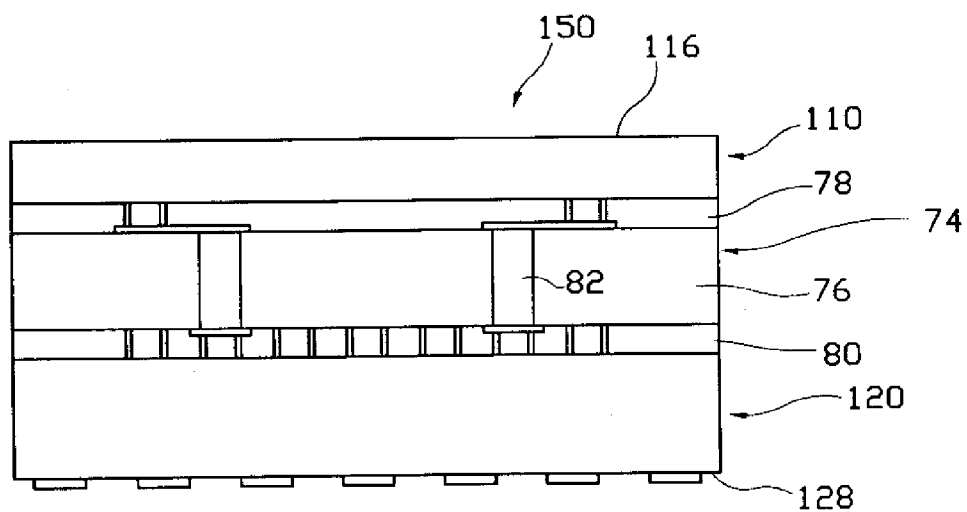


圖 六



(A)

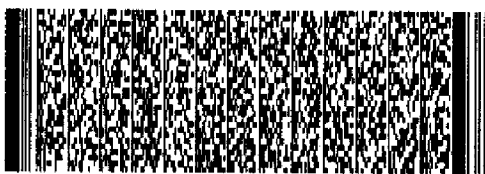


(B)

圖 七

六、申請專利範圍

1. 一種無凸塊型覆晶構裝的製程方法，包含下列步驟：
提供一積體電路晶片，該積體電路晶片配裝以第一複數個連接金屬墊在其表面上；
提供一基板，該基板具有相對的第二複數個連接金屬墊在其頂部表面上；
提供一連接層，置入在該積體電路晶片和該基板之間，該連接層具有第三複數個導電凸墊座，相對於該第一與第二複數個連接金屬墊；以及，
將該積體電路晶片、該連接層與該基板組合的三明治結構，在一還原氣氛下，施加一溫度和一壓力，以使該積體電路晶片的該第一複數個連接金屬墊和該基板的第二複數個連接金屬墊的電性導通，能經由該連接層的該第三複數個導電凸墊座而建立。
2. 如申請專利範圍第1項所述之無凸塊型覆晶構裝的製程方法，該連接層之形成更包括下列步驟：
提供一具接著性質的電性絕緣材料層；
在該電性絕緣材料層中形成有第三複數個通口，在該第三複數個通口的側壁有一層接著助長的金屬層；以及，
填入一可鐳錫材料於該第三複數個通口中。
3. 如申請專利範圍第2項所述之無凸塊型覆晶構裝的製程方法，其中該連接層的第三複數個通口的形成係藉由機械、電漿或雷射鑽孔來達成。



六、申請專利範圍

胺、環氧樹脂/雙馬來醯亞胺和多元酯。

10. 如申請專利範圍第2項所述之無凸塊型覆晶構裝的製程方法，其中該連接層的厚度約在 $15\ \mu\text{m}$ 和 $250\ \mu\text{m}$ 之間。

11. 如申請專利範圍第2項所述之無凸塊型覆晶構裝的製程方法，其中該連接層的接著助長金屬層的材質包括有銅、鎳或鎳-鉻合金。

12. 如申請專利範圍第2項所述之無凸塊型覆晶構裝的製程方法，其中該連接層的導電凸墊座之可鐸錫材料包括有錫/鉛、錫/鋅或是錫/銀等合金或混合物材料。

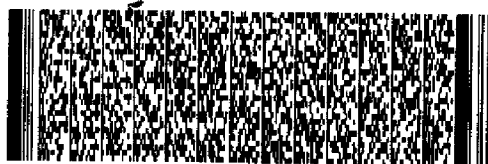
13. 如申請專利範圍第1項所述之無凸塊型覆晶構裝的製程方法，其中該還原氣氛為氫/氮組配的氫/氮的混合物還原氣氛，該溫度在攝氏150度和攝氏300度之間，該施加的壓力為每平方吋50至200磅之間。

14. 一種無凸塊型覆晶構裝，包含有：

一積體電路晶片，該積體電路晶片配裝以第一複數個連接金屬墊在其表面上；

一基板，該基板具有相對的第二複數個連接金屬墊在其頂部表面上；以及，

一連接層，置入在該積體電路晶片和該基板之間，該連接



六、申請專利範圍

層具有第三複數個導電凸墊座，相對於該第一與第二複數個連接金屬墊；

其中，將該積體電路晶片、該連接層與該基板組合的三明治結構，在一還原氣氛下，施加一溫度和一壓力，以使該積體電路晶片的該第一複數個連接金屬墊和該基板的第二複數個連接金屬墊的電性導通，能經由該連接層的該第三複數個導電凸墊座而建立。

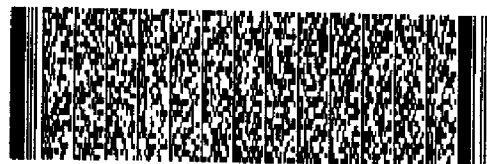
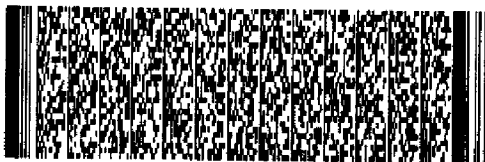
15. 如申請專利範圍第14項所述之無凸塊型覆晶構裝，其中，該連接層更包含複數層接著層在其頂部和底部表面上，以分別結合該積體電路晶片和該基板。

16. 如申請專利範圍第14項所述之無凸塊型覆晶構裝，其中，該連接層更包含一增層式多層結構，在該結構中完成輸出/入的重分配之線路佈局，以作為一輸出/入的重分配結構。

17. 如申請專利範圍第14項所述之無凸塊型覆晶構裝，其中該連接層更包含有：

一具接著性質的電性絕緣材料層，在該電性絕緣材料層中形成有第三複數個通口；以及，

一接著助長的金屬層，形成在該第三複數個通口的每一通口的側壁，且填入一可鉅錫材料於該第三複數個通口中。



六、申請專利範圍

24. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，其中該連接層的材料係具耐高溫且低熱膨脹係數的彈性結構的電性絕緣材料，包括有高分子聚合物、聚亞醯胺、環氧樹脂/雙馬來醯亞胺和多元酯。
25. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，其中該連接層的厚度約在 $15\ \mu\text{m}$ 和 $250\ \mu\text{m}$ 之間。
26. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，其中該連接層的接著助長金屬層的材質包括有銅、鎳或鎳-鉻合金。
27. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，其中該連接層的導電凸墊座之可鐸錫材料包括有錫/鉛、錫/鋅或是錫/銀等合金或混合物材料。
28. 如申請專利範圍第17項所述之無凸塊型覆晶構裝，其中該還原氣氛為氫/氮組配的氫/氮的混合物還原氣氛，該溫度在攝氏150度和攝氏300度之間，該施加的壓力為每平方吋50至200磅之間。

